

Device for automatic testing of high-speed integrated circuits has a locking circuit and a sampling circuit that allows output data to be sampled at very high frequencies

Publication number: DE10147298 (A1)

Publication date: 2002-05-23

Inventor(s): SHIMANOUCI MASASHI [FR]; GLENN ROBERT J [US];
DALAL WAJIH [US]; WEST BURNELL G [US] +

Applicant(s): SCHLUMBERGER TECHNOLOGIES INC [US] +

Classification:

- **international:** **G01R31/28; G01R31/317; G01R31/3193; G01R31/319;**
G01R31/28; (IPC1-7): G01R31/3183; H04L12/26

- **European:** G01R31/317J3; G01R31/28G4; G01R31/317J1;
G01R31/3193T

Application number: DE20011047298 20010926

Priority number(s): US20000679042 20001002

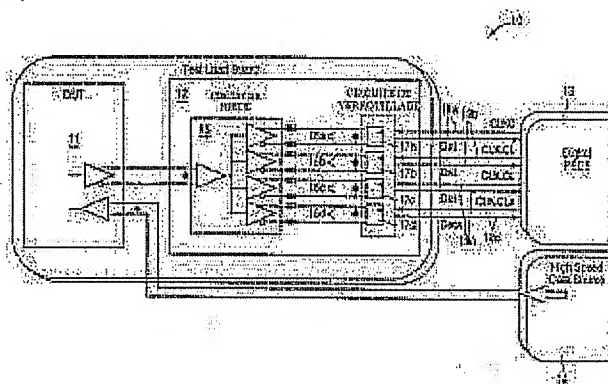
Also published as:

FR2814814 (A1)
US6859902 (B1)
TW542918 (B)
KR20020026841 (A)
JP2002181904 (A)

Abstract not available for DE 10147298 (A1)

Abstract of corresponding document: **FR 2814814 (A1)**

Device comprises a high speed data source supplying a test signal to an integrated circuit device under test (11), relays selectively connecting the DUT, output elements (15) coupled to receive input data pulses from the relays and to deliver data impulses to a number of locking circuits (17a-17d) and a sampling element associated with each locking circuit. The sampling element permits each locking element to transfer data pulses from its input to its output. An Independent claim is made for a method for high speed testing of integrated circuits.





⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 47 298 A 1**

⑤① Int. Cl.⁷:
G 01 R 31/3183
H 04 L 12/26

⑳ Aktenzeichen: 101 47 298.6
㉔ Anmeldetag: 26. 9. 2001
㉕ Offenlegungstag: 23. 5. 2002

DE 101 47 298 A 1

③⑩ Unionspriorität:
09/679,042 02. 10. 2000 US

⑦① Anmelder:
Schlumberger Technologies Inc., San Jose, Calif.,
US

⑦④ Vertreter:
Kirschner & Partner, 81479 München

⑦② Erfinder:
Shimanouchi, Masashi, Lyon, FR; Glenn, Robert J.,
San Jose, Calif., US; Dalal, Wajih, Santan Clara,
Calif., US; West, Burnell G., Fremont, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤④ Verfahren und Vorrichtung für Hochgeschwindigkeits-IC-Testschnittstelle

⑤⑦ Vorrichtung zum Testen einer integrierten Schaltung umfasst eine Datenquelle, die an die zu testende integrierte Schaltung zur Lieferung von Testsignalen gekoppelt ist; eine Vielzahl von Relais, die die zu testende integrierte Schaltung wahlweise mit der Vorrichtung koppeln; eine Vielzahl von Auffächerungselementen, die angekoppelt sind, um Datenpulse von dem Relais zu erhalten und die Datenpulse an eine Vielzahl von Latchschaltungen zu verteilen; und ein Tastelement, welches jeder der Latchschaltungen zugeordnet ist, um dadurch jede Latchschaltung aufzusteuern, um die Datenpulse von einem Eingangsport zu einem Ausgangsport jeder Latchschaltung zu übertragen. Ein Verfahren zum Kalibrieren einer integrierten Schaltung umfasst das Anlegen von Signalen an die integrierte Schaltung; das Auffächern von Datenpulsen, die von einem Ausgangsport der zu testenden, integrierten Schaltung empfangen werden; das Verteilen der Datenpulse auf jeweils eine Vielzahl von Latchschaltungen und das Kalibrieren einer Zeit, an der jede einzelne der Vielzahl der Latchschaltungen aufgesteuert wird.

DE 101 47 298 A 1

[0001] Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Testen von Hochgeschwindigkeits-Kommunikationsvorrichtungen auf einer automatischen Testausrüstung (Automatic Test Equipment ATE).

[0002] Die Aufgabe, elektronische Schaltungsschnittstellen hoher Geschwindigkeit zu testen, war für mehrere Jahre vorhanden. In den meisten Fällen waren die Datenraten in der Vergangenheit das Zehnfache der Standardrate von zur Verfügung stehender ATE-Ausrüstung. Einige Versuchsansätze haben das Multiplexen verwendet, um Hochgeschwindigkeits-Datenquellen für unter Test befindliche Vorrichtungen (Devices Under Test DUT) zu liefern, die typischerweise eine Dateneingabe bei hohen Datenraten oder Datengeschwindigkeiten empfangen. Siehe beispielsweise "Multiplexing Test System Channels for data rates Above 1 Gbps" von David Keezer, University of South Florida, 1990 International Test Conference, Dokument 18.3.

[0003] Andere Lösungen für die Handhabung der Daten, die früher ins Auge gefasst wurden, sind auf SONET und Datacom ICs zugeschnitten, beispielsweise auf die, die in der Ausarbeitung "Frequency enhancement of digital VLSI Systems", von Leslie Ackner & Mark Barber-AT & T Beil Labs, Allentown PA, 1990 International Test Conference, Dokument 22.1 vorgelegt wurden. An dem DUT-Ausgang, wo DUT-Ausgangssignale getestet und mit voraussichtlichen Werten verglichen werden, wird die Verwendung einer eingangsseitigen (front end) Latchschaltung hoher Bandbreite eingeführt. Diese Latchschaltung erfasst die hohen DUT Datenraten durch Testen in mehreren Durchgängen. Das Testen in mehreren Durchgängen umfasst das Senden eines speziellen Hochfrequenzbitstroms durch die Testschaltung mehrere Male und das Erfassen von jedem aufeinanderfolgenden Bit während jedem "Durchlauf" oder jeder einzelnen Zeit, während der der gesamte Bit-Strom durch die Schaltung läuft. In Kommunikationsvorrichtungen und Anwendungen für Hochgeschwindigkeits-Netzwerkvorrichtungen, die Seriellwandler und Deseriellwandler genannt werden (serializer und deserializer SERDES), kann zu wenig häufige Messwertnahme in dem Sinne nachteilig sein, dass sie Testfehler überdeckt. Ein hauptsächlichlicher Test wird Bit-Fehlerraten test genannt (Bit Error Rate Test BERT), und er bezieht sich auf die Zahl der Bits, die durch den Kommunikationskanal fehlerhaft übertragen werden. Die BERT-Zahl wird in Teile pro Million (Parts Per Million PPM) gemessen. Diese Zahl bezieht sich auf einen Bitfehler bei 10^{20} übertragenen Bits. Die zu wenig häufige Testwertnahme kann möglicherweise solche Fehler überdecken, wenn sie außerhalb des Testfensters auftreten. Eine andere Technik geht das Problem von einem Standpunkt des Designs für die Testbarkeit aus.

[0004] Andere alternative Lösungsansätze wurden angewendet, um die DUTs zu testen. Ein Lösungsansatz wird beispielsweise gewöhnlich als "Rückführungsschleifen"-Technik bezeichnet. Dieses Verfahren ist für SERDES Anwendungsfälle anwendbar. In einigen elektronischen Vorrichtungen ist eine Schaltung auf dem Chip vorgesehen, die die Rückführung implementiert. Die Rückführungsschaltung verbindet einen seriellen Ausgangspin oder -Port der Vorrichtung mit einem seriellen Eingangspin oder -Port. Der Vorteil dieses Verfahrens besteht darin, dass es preiswert und einfach umzusetzen ist. Es sind jedoch mehrere Nachteile mit diesem Verfahren verbunden. Erstens sind die empfangenen Testdaten auf das beschränkt, was übertragen worden ist, was die Erzeugung des Testmusters kompliziert macht und die Fehlererfassung für DUT-Herstellungsfehler einschränkt. Ferner gibt es keine Möglichkeit, die Eingangs-

taktgabe zu ändern. Dies schränkt die Fähigkeit der Testausrüstung ein, den Takt-Wiedergewinnungsmechanismus zu charakterisieren und Jitter-Signale einzuführen, um die Antwort des Systems zu testen. Der Takt-Rückgewinnungsmechanismus ist ein Mechanismus, um den Takt zurück zu gewinnen, der in die Daten eingebettet ist, die an dem seriellen Eingangspin oder -Port empfangen werden. Ferner ist bei nicht-SERDES-Anwendungen eine Rückführung schwierig zu entstoren und zu simulieren, da es keinen klaren Dateneingangs- und Datenausgangspfad gibt. Zusätzlich können parametrische Messungen an dem seriellen Eingang, beispielsweise Messungen einer minimalen Eingangsspannung, nicht durchgeführt werden, ohne dass die Schleife geöffnet wird, und eine direkte Spannungssteuerung wird an den seriellen Eingang angelegt. Als letztes können die Ausgangstaktparameter des DUT nicht getestet werden, ohne dass die Schleife geöffnet wird.

[0005] Eine andere Lösung dieser Probleme umfasst die Integration von externen Instrumenten, um die Bandbreite der ATE-Ausrüstung auszudehnen. Externe Instrumente können Digitalisierungs-Oszilloskope hoher Bandbreite oder Jitter-Messboxen sein. Die Schnittstelle kann durch ein GPIB (General Purpose Interface Bus)-Protokoll erfolgen. Der Vorteil der Verwendung von externer Ausrüstung ist die Möglichkeit, die Performance der Testausrüstung ohne erhebliche Aufstockung des selben auszudehnen. Es ermöglicht auch eine einfache Korrelation zwischen der Charakterisierungsumgebung auf dem Labortisch und der ATE-Ausrüstung. Die Nachteile dieses Verfahrens sind: (1) Es erfordert eine komplexe Schnittstelle, um die GPIB-Treiber zu programmieren, und (2) die Testzeit wird verlängert, weil die typische GPIB-Schnittstelle sehr langsam ist und erheblich zu der Testzeit beiträgt. Obwohl die GPIB-Systemtreiber typischerweise zur Verfügung stehen, erfordert es eine spezielle Anstrengung, um die Verbindung zwischen der ATE-Softwareschnittstelle und dem neu integrierten Instrument herzustellen. Dies kann erfordern, dass eine spezielle grafische Benutzerschnittstelle (GUI) mit speziellen Treiberbefehlen entwickelt werden muss, die die Verbindung zu dem Oszilloskop-Instrument herstellt.

[0006] Die Erfindung zielt auf ein Verfahren und eine Vorrichtung zum Testen von Hochgeschwindigkeits-Kommunikationsvorrichtungen auf einer ansonsten herkömmlichen (mit niedriger Geschwindigkeit arbeitenden) automatischen Testausrüstung (Automatic Test Equipment ATE), beispielsweise zum Testen von integrierten Schaltungen mit sehr hoher Geschwindigkeit (2,5 Gbps und höherer Betriebsgeschwindigkeit), die bei Geschwindigkeiten arbeiten, die höher als die von herkömmlicher Testausrüstung sind.

[0007] Dazu sind das erfindungsgemäße Verfahren beziehungsweise die erfindungsgemäße Vorrichtung in der in Anspruch 1 beziehungsweise Anspruch 5 gekennzeichneten Weise ausgebildet. Die Unteransprüche charakterisieren vorteilhafte Ausgestaltungen der Erfindung.

[0008] Die Schaltung fächert den Ausgangsdatenstrom von den Ausgangspins oder -Ports der unter dem Test befindlichen Vorrichtung (DUT) auf mehrere ATE-Testkanäle auf. Das Testverfahren und die Schaltungsauslegung erlauben es auch, Jitter-Signale in den Ausgang des DUT zu Testzwecken einzuführen. Ferner vermeidet es die vorliegende Erfindung, dass Datenbits durch das Testen in mehreren Durchgängen übergangen werden (wobei auf diese Weise Testzeit und Bitfehlerrate eingespart wird), indem die Testabschnitte vervielfacht werden, um eine effektive Realzeiterfassung zu erreichen. Ferner werden durch das vorliegende Verfahren verschiedene Datenkommunikations-DUTs auf die Taktgabe der ATE-Hardware synchronisiert. Darüber hinaus wird ein Kalibrierungsverfahren bereitge-

stellt, um unterschiedliche Spurlängen und die Fortschreitungs-Verögerungscharakteristiken der Testschaltung zu kompensieren.

[0009] Mit anderen Worten wird ein Verfahren und eine Vorrichtung zum Testen von Hochgeschwindigkeits-Kommunikationsvorrichtungen auf einer automatischen Testausrüstung angegeben, um integrierte Schaltungen mit sehr hohen Geschwindigkeiten, beispielsweise 2,5 Gbps und darüber, zu testen. Die Schaltung fächert die Datenströme von dem Ausgang der unter Test befindlichen Vorrichtung (DUT) auf mehrere Testkanäle auf, die die Ströme mit geringerer Frequenz abtasten. Es können Jittersignale in den Ausgang des DUT eingeführt werden. Das Überspringen von Datenbits, welches bei dem Test mit mehreren Durchgängen inherent ist, wird dadurch vermieden, dass die Testabschnitte vervielfacht werden, um eine effektive Realzeiterfassung zu erreichen (was Testzeit einspart und die Bitfehler rate verbessert). Darüber hinaus synchronisiert die Schaltung unterschiedlichen DUTs mit der Taktgabe der ATE-Hardware unabhängig von den DUT-Ausgangsdaten. Es wird auch ein Kalibrierungsverfahren benutzt, um unterschiedliche Bahnlängen und Fortschreitungsverögerungscharakteristiken der Testschaltungskomponenten zu kompensieren.

[0010] Ausführungsbeispiele der Erfindung werden nun anhand der beigefügten Zeichnungen beschrieben, in denen:

[0011] **Fig. 1** eine Draufsicht auf die vorliegende Testanordnung zeigt;

[0012] **Fig. 2** eine detaillierte schematische Darstellung der Testschaltung zeigt;

[0013] **Fig. 3** ein Zeitablaufdiagramm zeigt, wie Testabtestkanäle eine Änderung des seriellen DUT-Ausgangs abtasten; und

[0014] **Fig. 4** ein Ausführungsbeispiel der vorliegenden Erfindung zeigt.

[0015] **Fig. 1** zeigt eine Draufsicht auf die hauptsächlichen Komponenten des vorliegenden Testsystems 10. Die Datenrate der Testdaten von dem DUT 11 ist mehrmals höher als die Basisdatenrate der herkömmlichen Abschnitte des Testsystems 10. Eine Schnittstellenschaltung 12 ist zwischen der DUT 11 und dem Testgerät 13 eingekoppelt, das eine digitale Pin-Elektronik (PEC) und Software enthält, die das System 10 betreibt. Der DUT 11 nimmt den Eingang von einer Hochgeschwindigkeits-Datenquelle 14 auf, beispielsweise einer Hochgeschwindigkeits-Taktkarte (HSCC), die als Unterkomponente des Testgeräts 13 betrachtet werden kann. Die Schnittstellenschaltung 12 verzweigt den Datenstrom von dem DUT 11 in eine Vielzahl von Testabschnitten in dem Testgerät 13. Diese Testabschnitte können, wenn sie gemeinsam benutzt werden, die sehr hohen Datenraten, die hier interessieren, aufnehmen. Wenn ein Datenausgang mit einer Rate von 3,2 Gbps von dem DUT 11 abgegeben wird, wären vier Testabschnitte (Kanäle), die jeweils bei 800 Mbps arbeiten, erforderlich, um die DUT-Rate ($4 \times 800 \text{ Mbps} = 3,2 \text{ Gbps}$) aufnehmen zu können. Das System 10 kann auch die Bandbreiteneinschränkung der Testkanäle handhaben. Der Hochgeschwindigkeits-Ausgangsdatenstrom des DUT 11 wird durch eine Auffächerungsschaltung 15 übertragen, die den Hochgeschwindigkeitsausgang des DUT 11 repliziert und den replizierten Strom über mehrere Leitungen 16a–16d sendet. Ein Teil von jedem Datenstrom, der von der Auffächerungsschaltung abgegeben wird, wird durch eine von mehreren Latcheschaltungen 17a–17d hoher Bandbreite gelatcht, die entsprechend dem gerade interessierenden Bit unterschiedlich getaktet werden, welches von dem Ausgang des DUT aufgenommen werden soll. In der in **Fig. 1** gezeigten Anordnung nimmt beispielsweise die Latcheschaltung 17a das erste Bit auf, welches von

dem DUT 11 ausgegeben wird, die Latcheschaltung 17b nimmt das zweite Bit auf, die Latcheschaltung nimmt das dritte Bit auf, und 17d das Vierte. Jeder Zweig der Auffächerungsschaltung 15 wird in der Zeitdomäne effektiv zu wenig häufig abgetastet (undersampling), was bedeutet, dass nur jedes n-te Bit in dem seriellen Datenstrom gelatcht wird. Durch Steuerung der Zeit, an der jede Latcheschaltung 17a–17d durch Latch-Strobesignale oder Latch-Tastsignale 18a–18d (CLK, C), die von dem Testgerät 13 zu den Latcheschaltungen 17a–17d verlaufen, aufgesteuert wird, um Eingänge von der Auffächerungsschaltung 15 aufzunehmen, fängt man alle Datenbits von dem seriellen Ausgangsstrom von dem DUT 11 parallel ein. Diese Bits werden von den Datenleitungen 18a–18d eingefangen, die von den Latcheschaltungen 17a–17d zu dem Testgerät 13 verlaufen. (Latch-Tastsignale steuern, wenn sie eintreffen, die Latcheschaltungen 17a–17d auf, so dass sie sich auf den Wert an ihren entsprechenden Eingängen latchen).

[0016] **Fig. 2** zeigt eine mehr detaillierte Darstellung der Anordnungen in **Fig. 1**. Der Ausgang des DUT 11 geht in eine Reihe von Relais 20a–20c, die dazu verwendet werden, den DUT 11 oder das Kalibrierungs-Pinelement (PE) 21a und das Kalibrierungselement 21b mit der Auffächerungsschaltung 15 in der Schnittstellenschaltung 12 zu verbinden. Die Auffächerungspuffer 22a–22c nehmen jeweils einen einzigen Eingangsstrom von Bits auf und geben zwei "Kopien" dieser Bits aus. Die Auffächerungspuffer 22b und 22c arbeiten in identischer Weise wie der Auffächerungspuffer 22a, so dass der Ausgang, der an jede der vier Latcheschaltungen 24a–24d gesendet wird, aus Datenströmen bestehen, die identisch mit denen sind, die in den Puffer 22a eingegeben werden. Die verschiedenen Latcheschaltungen, Puffer usw. von **Fig. 2** sind herkömmlich, solange sie in der Lage sind, bei einer entsprechenden Datenrate zu arbeiten.

[0017] Jede Latcheschaltung 24a–24d nimmt jeweils Dateneingänge von den Auffächerungspuffern 22b und 22c und Latch-Tasteingangssignale von den Tastleitungspaaren 25a–25d auf. Die durch diese Signalleitungspaare übertragenen Signale werden durch Testerelemente 27a und 27b gesteuert, die Hochgeschwindigkeits-Taktkarten sein können und die Bestandteil des Testgeräts 13 sind. Die Latcheschaltungen 24a–24b latchen, wenn sie durch ihre entsprechenden Latch-Tastsignale von den Tastleitungspaaren 25a–25b aufgesteuert werden, Daten von ihren entsprechenden Dateneingangspins oder -Ports an ihre Ausgangspins oder -Ports. Nach einer Zeitdauer der Fortpflanzungsverögerung stehen diese Ausgangsdaten dann für Pinelemente (PE) 26a–26d zur Verfügung, die Teil des Testgeräts 13 in **Fig. 1** sind.

[0018] Da die Datenraten von vielen DUTs, die von dem System 10 getestet werden, so hoch sind, dass Taktfehler, die in den Komponenten des Systems 10 inherent sind, die Genauigkeit des Testgerätergebnisses beeinflussen können, müssen richtige Einstellungen der Flanken der DUT-Tastsignale sichergestellt werden. Diese Datenquelle wird von dem Testgerät 13 gesteuert. Wenn keine genaue Taktgabe erreicht wird, würde dies zur Folge haben, dass die falschen Daten von dem Testgerät 13 einschließlich den Testelementen 26a–26d eingefangen werden. Ungenauigkeiten in der Taktgabe können sich aus nicht-abgestimmten Bahn(Leiter)längen von den Testelementen 27a–27b bis zu den Hochgeschwindigkeits-Latcheschaltungen 24a–24d ergeben, die nicht kompensiert sind, wenn die Latchtastsignale auf den Leitungen 25a–25d aufgesteuert werden, so dass die Latcheschaltungen 24a–24d Eingänge von dem DUT 11 annehmen können. Die Bahnlängen können so variieren, dass bis zu 30 Pikosekunden lange Schwankungen in der Fortpflanzungsverögerung verursacht werden je nach dem Ort und der Art

der verwendeten Latcheschaltungen **24a–24d**, der verwendeten Auffächerungselemente **22a–22c** und auch nach den Impedanzen der verschiedenen Bahnen. Die Bahnen werden typischerweise so kurz wie möglich gemacht und bezüglich ihrer Impedanzen abgestimmt, Fehlabbildungen können jedoch nicht voll ausgeschlossen werden. Daher muss eine Kompensation für Fehlabbildungen erfolgen. Ungenauigkeiten in der Taktgabe können auch durch ungleiche Fortpflanzungsverzögerungen zwischen den Auffächerungs-IC-Komponenten **22a, 22b, 22c**, für die keine Kompensation erfolgt ist, und durch nicht abgestimmte Taktgabe von Flankenpositionen entlang des Testgerät-Tastkanälen verursacht werden.

[0019] Damit das Testsystem die Latcheschaltungen **24a–24b** zu einer richtigen Zeit tastet, um die Probleme, die in dem vorhergehenden Absatz erwähnt wurden, zu vermeiden, wird das Testsystem **10** kalibriert, bevor es zum Testen der DUTs verwendet wird. Im Folgenden wird ein Verfahren beschrieben, um ein Testsystem unter Verwendung des DUT Ausgangs zu kalibrieren, um ein Signal zu erzeugen, welches ein Taktsignal darstellt.

[0020] Wenn das Kalibrierungsverfahren gestartet wird, sollte das Tastsignal, welches von dem Testerelement **27a** erzeugt wird und das auf den Leitungen **25a** verläuft, die mit der ersten Latcheschaltung **24a** verbunden sind, die Latcheschaltung **24a** aufschalten, um das erste Bit der Daten von dem DUT **11** zu latches. (Die erste Latcheschaltung latches das erste Datenbit von dem DUT). Dies wird dadurch durchgeführt, dass der DUT **11** einen wiederholten Datenstrom, beispielsweise (1010101 . . .), überträgt, der ein Taktsignal simuliert. Das Testgerät **13** sucht nach den Flankenübergängen (erster, zweiter, dritter Übergang usw.) in dem sich wiederholenden Bitstrom an einem Ausgangspin oder -Port der Latcheschaltung **24a** und bestimmt die Zeit, die erforderlich ist, dass die Übergänge auftreten, wenn von dem Start des Kalibrierungsverfahrens angemessen wird. Die richtige Taktgabe des Tastsignals, welches ermöglicht, dass das Ausgangssignal von dem Ausgangspin oder -Port der Latcheschaltung **24a** von der Testausrüstung gelesen wird, kann durch die Software in dem Testgerät **13** aus der gemessenen Zeit für diese Übergänge bestimmt werden. Die Tastsignale, die auf den Leitungen **25a** laufen, die es ermöglichen, dass ein Bit von dem DUT **11** an dem Eingang der Latcheschaltung **24a** gelatcht wird, werden von der Software in dem Testgerät **13** so programmiert, dass ein Bit an einem festen Zeitpunkt gelatcht werden kann, bevor das von dem Testgerät **13** erzeugte Tastsignal es ermöglicht, dass das Ausgangssignal von dem Ausgangspin oder -Port der Latcheschaltung **24a** von der Testausrüstung **26a** gelesen wird. (ein Betrag, der größer als die Fortpflanzungsverzögerung der Latcheschaltung **24a** ist, ist ausreichend, beispielsweise 500 ps). Das Tastsignal, welches die erste Latcheschaltung **24a** aufsteuert, um ein Bit von dem Ausgangsstrom des DUT **11** zu latches, ist so programmiert, dass es das erste Bit, das fünfte Bit, das neunte Bit, usw. aus dem Ausgangsstrom des DUT **11** in der Schaltung latches, die in **Fig. 2** gezeigt ist, weil diese Anordnung vier Latcheschaltungen **24a–24d** hat. Es können jedoch auch eine größere oder eine kleinere Anzahl von Latcheschaltungen in anderen Ausführungsbeispielen vorhanden sein.

[0021] Der DUT **11** muss bei einer genügend niedrigen Geschwindigkeit für die Kalibrierung arbeiten können, so dass die Datenbitbreite, die von dem DUT **11** ausgegeben wird, viel länger als die Schwankungen in der Zeit ist, die dazu benötigt wird, dass ein Signalpuls die verschiedenen möglichen Wege durch die aufgefächerten Zweige **15** durchläuft. Bei den hier interessierenden Datenraten ist eine Geschwindigkeit von 400 MHz oder weniger als DUT-Aus-

gang in der Kalibrierungsbetriebsweise geeignet (400 MHz = 2,5 ns). Die DUT-Geschwindigkeit kann jedoch nicht nah bei dem Gleichstromniveau liegen, weil das System **10** so ausgelegt ist, da es DUTs testet, die bei hohen Frequenzen arbeiten.

[0022] Das Kalibrierungsverfahren für das erste Latch-Tastsignal, welches auf dem Leitungspaar **25a** verläuft, wird für das zweite Tastsignal wiederholt, welches auf dem zweiten Tastleitungspaar (beispielsweise **25b**) verläuft. In diesem Fall wird das Tastsignal, welches die zweite Latcheschaltung **24b** ansteuert, um Bits von dem Ausgangsstrom des DUT **11** zu latches, so programmiert, dass das zweite Bit, das sechste Bit, das zehnte Bit, usw. aus dem Ausgangsstrom des DUT **11** gelatcht wird. Das Verfahren wird dann auf alle Tastsignale für die Eingänge der restlichen Latcheschaltungen angewendet. Sobald dieses Verfahren für alle Tastsignale, die auf den Leitungen **25a–25b** übertragen werden, durchgeführt worden ist, haben die Tastsignale eine Phase, die zu der Taktphase des Ausgangs des DUT **11** an einer entsprechenden Latcheingangsstelle, die sie tasten, in Beziehung steht. Da die Datenrate langsam genug ist, gibt es keine Chance für eine Datenbitvermischung zwischen den ausgefächerten Zweigen. Die Taktgabe von jedem Tastsignal, welches auf den Leitungen **25a–25d** verläuft, muss auf die Mitte zwischen den Flankenübergängen an den Eingängen der Latcheschaltungen eingestellt werden. Sobald die Geschwindigkeit des DUT **11** in seine normale Betriebsgeschwindigkeit geändert wird, wird die Takt-Taktgabe durch die Software in dem Testgerät **13** normalisiert, um die Kriterien des vorhergehenden Satzes für die (typischerweise höhere) Geschwindigkeit zu erfüllen.

[0023] Ein anderes relevantes Kalibrierungsverfahren benutzt Kalibrierungs-Pinelemente **21a** und **21b**, um das Testsystem **10** zu kalibrieren, statt eines DUT **11**, der ein sich wiederholendes Bitmuster abgibt. Die Kalibrierungs-Pinelemente **21a** und **21b** können das sich wiederholende Bitmuster simulieren, welchen von dem DUT **11** abgegeben wird, wenn sie für das Kalibrierungsverfahren verwendet werden.

[0024] Die vorliegende Beschreibung umfasst auch eine Synchronisierungstechnik. Eine Annahme, die bei dem Einsatz dieser Technik gemacht wird, besteht darin, dass die Phasenverzögerung des Datenausgangs des DUT **11** wiederholbar ist. Dies bedeutet, dass Datenübertragungen immer zum selben Zeitpunkt im Bezug auf die Taktgabe des Eingangssignals des DUT **11** auftreten. Der Dateninhalt kann möglicherweise nicht wiederholbar sein, seine Taktgabe muss jedoch so sein. Eine andere Art, um diese Wiederholbarkeit zu beschreiben, besteht darin, dass man sagt, dass, wenn der DUT **11** durch das Testgerät **13** initialisiert wird, die Verzögerung zwischen der gegenwärtigen Initialisierung und dem Zeitpunkt, an dem das Ausgangstaktsignal des DUT seinen ersten Übergang macht, immer die gleiche ist, wenn ein spezieller DUT **11** initialisiert wird. Wenn der Datenausgang von dem DUT **11** wiederholbar ist, ist keine Nachverarbeitung der eingefangenen Daten für Testzwecke erforderlich. Mit einem wiederholbaren Datenausgangsstrom können die eingefangenen Daten mit erwarteten Daten für Testzwecke verglichen werden.

[0025] Die Synchronisation wird dadurch durchgeführt, dass Tastsignale an eine Latcheschaltung, beispielsweise die Latcheschaltung **24a**, in der Testschaltung mit sehr schnellen Inkrementen angelegt werden, während die Eingangsdaten an der Latcheschaltung **24a** überwacht werden. Die Zeit zwischen der Initialisierung des DUT **11** und dem Zeitpunkt, wenn die Latcheschaltung **24a** ihren ersten Übergang an ihren Eingängen erfährt, wird festgestellt. Die Zeit wird von dem Zeitpunkt der Initialisierung bis zu dem Zeitpunkt gemessen, an dem der erste Übergang an dem Eingang 50% seines

Maximalwertes erreicht. Diese Zeit entspricht der Zeit, die die Latchschaltung **24a** benötigt, um ihren ersten Übergang an ihren Ausgangspins oder -Ports zu beginnen. Algorithmen in dem Testgerät **13** bestimmen die Taktfrequenz eines beliebigen DUT **11**, der unter Verwendung dieses Verfahrens initialisiert wird, in dem die zwei, gerade beschriebenen Taktfaktoren verwendet werden. Auf diese Weise werden Tastsignale übertragen, die es dem Testgerät **13** ermöglichen, Ausgangssignale des DUT **11** von den Latchschaltungen **24a–24d** gerade dann anzunehmen, wenn die Ausgänge von den Latchschaltungen **24a–24b** stabil sind und in der Mitte zwischen unstabilen Übertragungsperioden liegen. Darüber hinaus muss das gerade beschriebene Synchronisierungsverfahren nur für eine Latchschaltung (beispielsweise **24a**) durchgeführt werden, um die Taktgabe der Tastsignale für alle Latchschaltungsausgänge zu bestimmen. Das oben beschriebene Kalibrierungsverfahren, welches Software in dem Testgerät **13** verwendet, bestimmt die Fortplantungsverzögerungsdaten für jede Latchschaltung **24a–24d** in Bezug aufeinander, und diese Daten können verwendet werden, um richtige Takte für alle Latchschaltungsausgänge zu extrapolieren, sobald der Tasttakt für eine Latchschaltung bestimmt worden ist. Ferner werden Tastsignale für die Ausgänge der entsprechenden Latchschaltungen **24a–24b** so aufgesteuert, dass aufeinanderfolgende Bits oder Pulse von dem DUT **11** an aufeinanderfolgende Testdatenkanäle **26a–26d** gesendet werden, wie in **Fig. 3** dargestellt ist.

[0026] Das Testgerät **13** ist so programmiert, dass es den Ausgang der Latchschaltungen **24a–24d** in die Testdatenkanäle **26a–26d** zu einem richtigen Zeitpunkt tastet, der durch das Synchronisationsverfahren festgelegt wird. Die Daten, die an jedem Datenkanal **26a–26d** des Testgeräts erwartet werden, sind eine Funktion des ursprünglichen Datenstroms, der von dem DUT Ausgang erwartet wird. **Fig. 3** zeigt die individuelle Kanal-Taktgabe und die erwarteten Daten.

[0027] Wie oben erwähnt wurde, werden bei einem speziellen Ausführungsbeispiel Hochgeschwindigkeits-Netzwerkvorrichtungen verwendet, die Seriellwandler und Deserialwandler (SERDES) genannt werden. In einem Ausführungsbeispiel werden die in **Fig. 4** gezeigten Komponenten verwendet. Die Werte dieser Komponenten mit den entsprechenden Bezugszeichen der Zeichnungen sind unten aufgeführt:

Widerstände:
 R1 = 330 Ohm (**41**)
 R2 = 43 Ohm (**42**)
 R3 = 100 Ohm (**43**)
 Auffächerungspuffer: Teil Nummer MC10EP11 (**45**)
 Differentialempfänger: Teil Nummer MC10EL16 (**46**)
 Hochgeschwindigkeitsdifferential D-FF: Teil Nummer MC10EL52 (**47**)
 RF Relais: Teil Nummer Teladyne RF103 (**48**)

[0028] Die in **Fig. 4** gezeigte Schaltung verwendet auch die ITS9000KX Klasse von Testern von Schlumberger.

[0029] Die oben aufgelisteten Schaltungskomponenten werden ausgewählt, um folgendes zu erreichen:

1. Layout der Testplattenbahnen, um eine 50 Ohm Umgebung bei Multi-Gigahertz-Bandbreite aufrecht zu erhalten.
2. Beibehaltung von abgestimmter Bahnlänge für unterschiedliche Daten/Takt-Paare.
3. Verwendung von geeigneten ECL Komponenten (ECL = elektronischer Takt), die die erforderlichen Geschwindigkeiten erreichen.
4. Niveaueinstellung der ECL Schaltung, um mit CMOS-Teilen und -Testkanälen zu arbeiten.

5. Arbeiten mit differentiellen Signalen in einer eindeutigen Testumgebung. Dies wurde durch Verwendung spezieller Umsetzer angesprochen.

- 5 **[0030]** Die oben angegebenen Schaltungsparameter sind lediglich als Beispiel gegeben, und andere Parameter können auch ausgewählt werden, um das Auffächern des DUT Ausgangs, die Kalibrierung und das Synchronisationsverfahren der vorliegenden Erfindung zu implementieren.

Patentansprüche

1. Verfahren zu Kalibrieren einer integrierten Schaltung umfassend:
 Anlegen von Signalen an die integrierte Schaltung;
 Auffächern von Datenpulsen, die von einem Ausgangsport der zu testenden, integrierten Schaltung empfangen werden;
 Verteilen der Datenpulse auf jeweils eine Vielzahl von Latchschaltungen; und
 Kalibrieren einer Zeit, an der jede einzelne der Vielzahl der Latchschaltungen aufgesteuert wird.
2. Verfahren nach Anspruch 1 ferner umfassend:
 Messen der Zeit zwischen der Initialisierung der integrierten Schaltung und der Erfassung eines ersten Datenpulses an einem Ausgangsport einer ausgewählten der Vielzahl der Latchschaltungen;
 Berechnen einer Taktfrequenz der integrierten Schaltung davon, und
 Testen der integrierten Schaltung nachdem die Messung und die Berechnung durchgeführt worden sind.
3. Verfahren nach Anspruch 1 oder 2, ferner umfassend:
 Übertragen eines sich wiederholenden Bitstromes mit alternierenden Spannungsniveaus von der integrierten Schaltung, um eine Zeit zu kalibrieren, an der jeder einzelne der Vielzahl der Latchschaltungen aufgesteuert wird.
4. Verfahren nach Anspruch 1, 2 oder 3, ferner umfassend:
 Die Überwachung von Flankenübergängen an den Ausgangsanschlüssen von jeder einzelnen der Vielzahl der Latchschaltungen, um dadurch eine Zeit zu kalibrieren, an der jede einzelne der Vielzahl der Latchschaltungen aufgesteuert wird.
5. Vorrichtung zum Testen einer integrierten Schaltung umfassend:
 eine Datenquelle, die an die zu testende integrierte Schaltung zur Lieferung von Testsignalen gekoppelt ist;
 eine Vielzahl von Relais, die die zu testende integrierte Schaltung wahlweise mit der Vorrichtung koppeln;
 eine Vielzahl von Auffächerungselementen, die angekoppelt sind, um Datenpulse von dem Relais zu erhalten und die Datenpulse an eine Vielzahl von Latchschaltungen zu verteilen; und
 ein Tastelement, welches jeder der Latchschaltungen zugeordnet ist, um dadurch jede Latchschaltung aufzusteuern, um die Datenpulse von einem Eingangsport zu einem Ausgangsport jeder Latchschaltung zu übertragen.
6. Vorrichtung Anspruch 5, gekennzeichnet durch Testkomponenten, die jeweils angekoppelt sind, um Datenpulse von einer Vielzahl von Latchschaltungen zu empfangen, wobei die Testkomponenten die Datenpulse mit einer Frequenz empfangen, die ein Bruchteil der Ausgangssignalfrequenz der zu testenden, integrierten Schaltung ist.

7. Vorrichtung nach Anspruch 6, dadurch gekennzeichnet, dass der Bruchteil gleich der Ausgangsfrequenz der gerade getesteten integrierten Schaltung dividiert durch die Zahl der Latcheschaltungen ist.

Hierzu 4 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

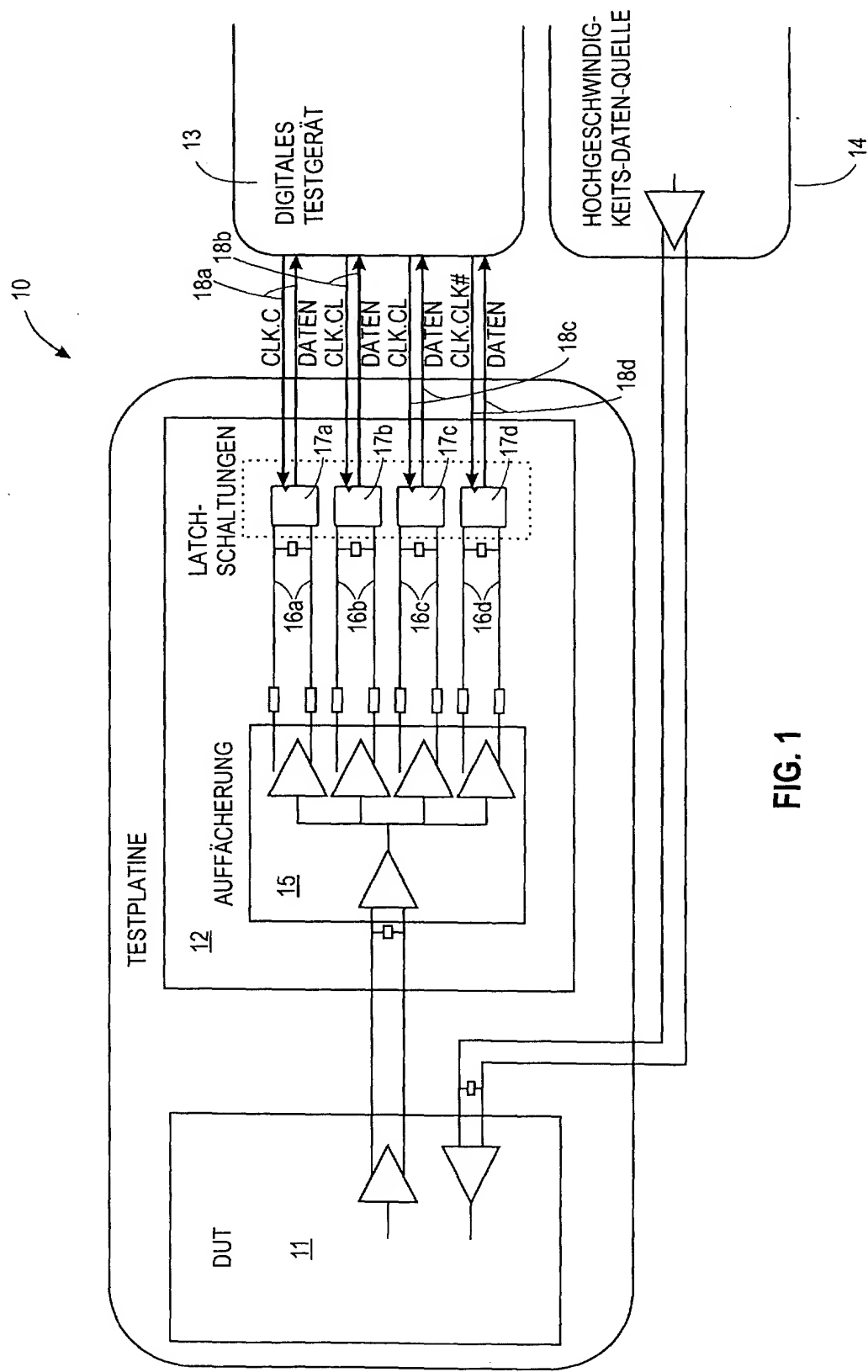
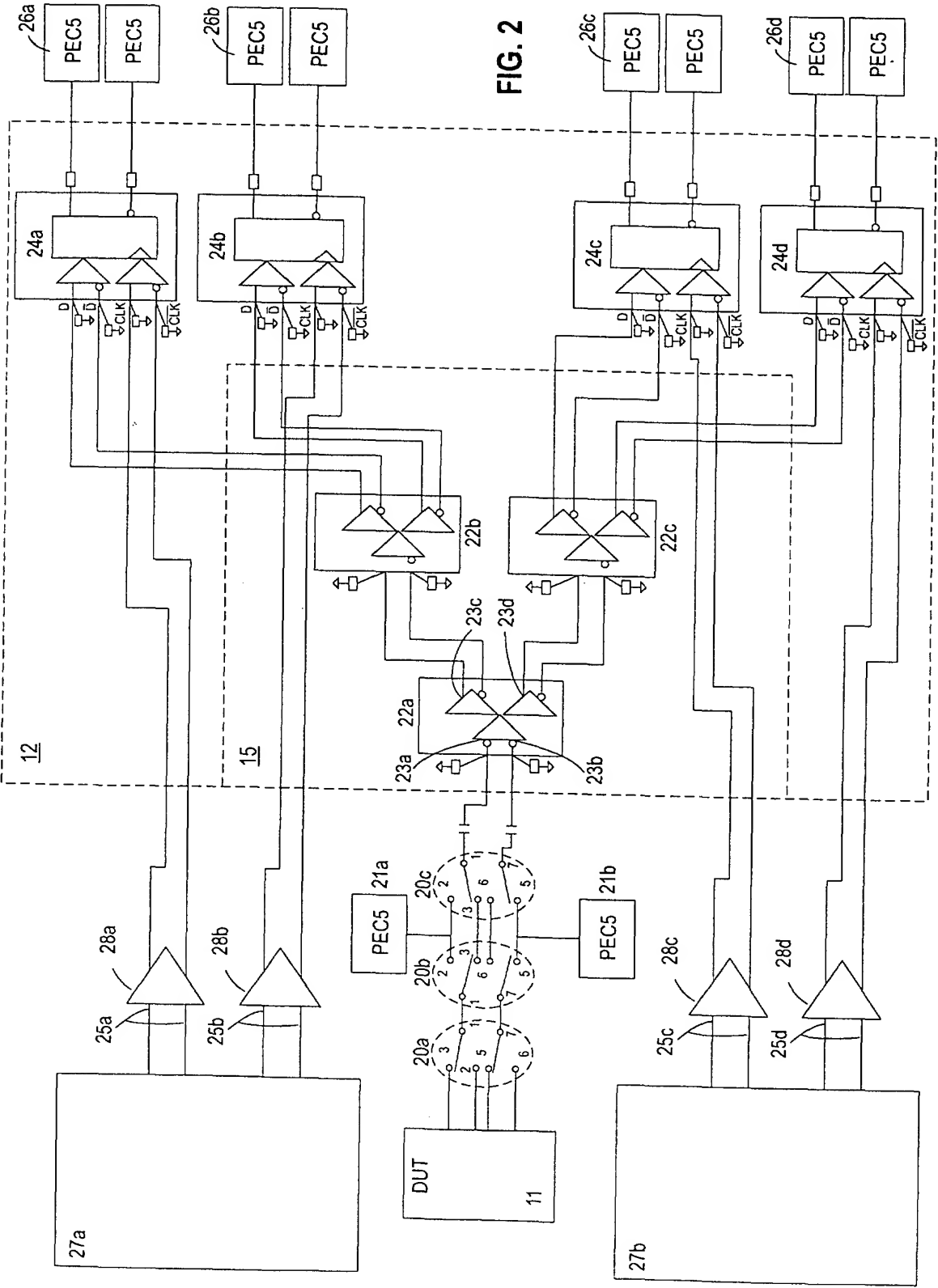


FIG. 1



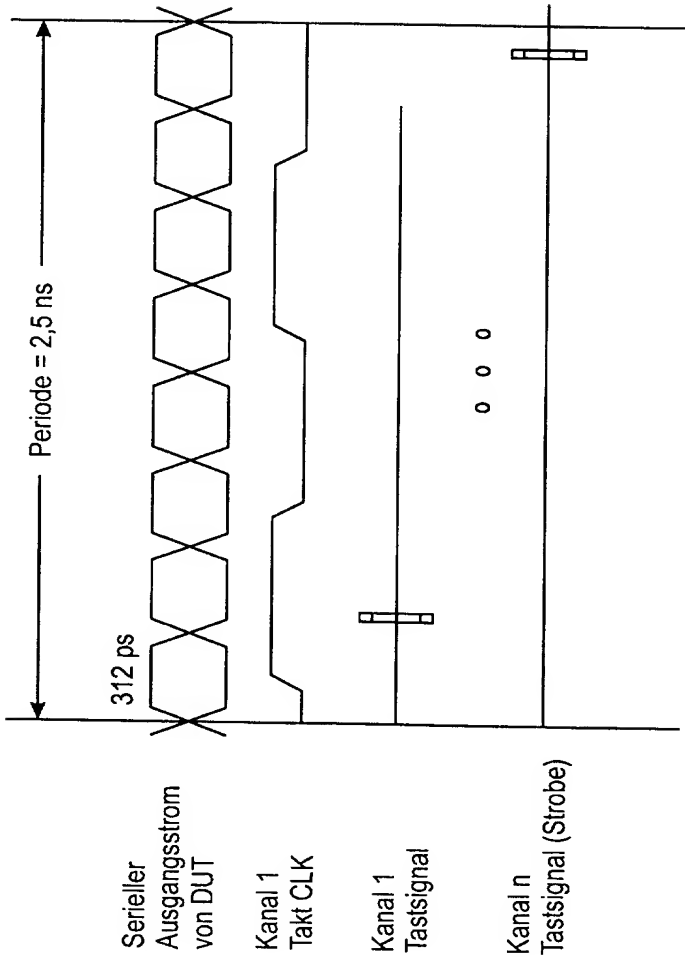


FIG. 3

Serielle Hochgeschwindigkeits-Testanordnung

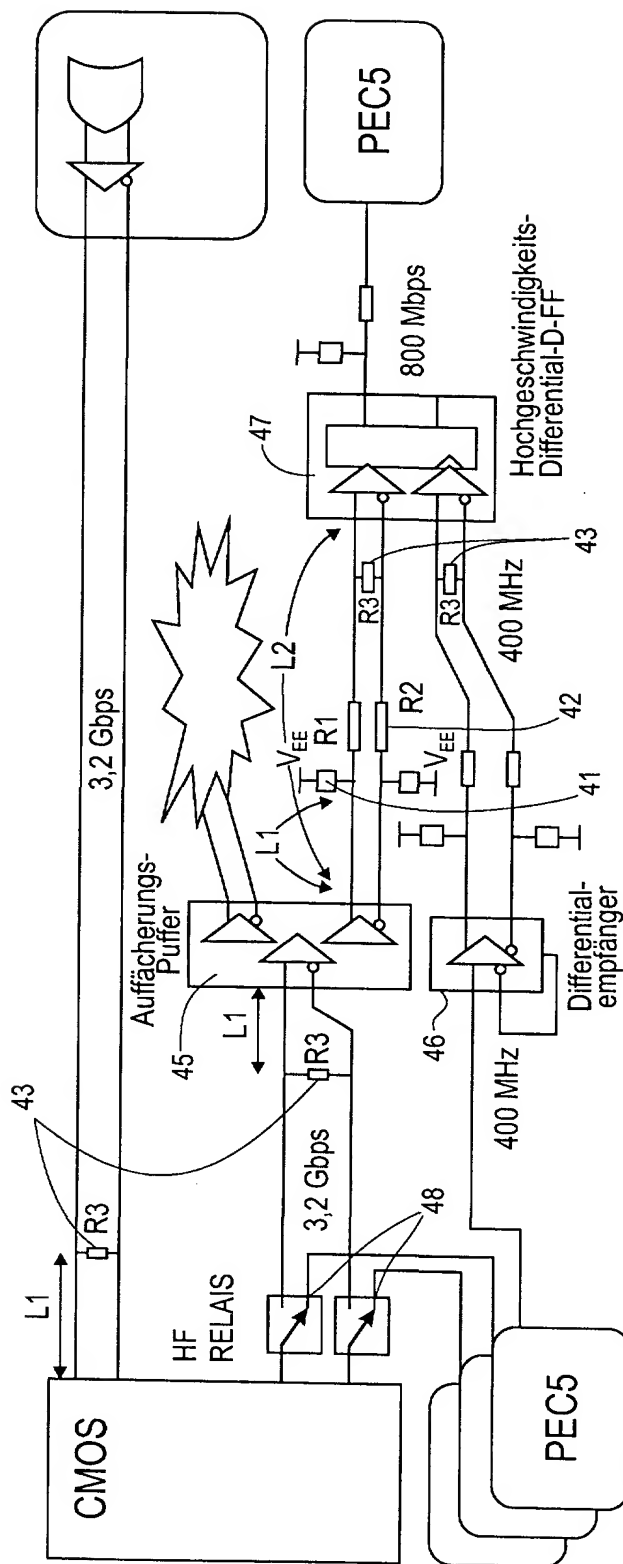


FIG. 4